

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

009159781 **Image available**

WPI Acc No: 1992-287220/199235

Related WPI Acc No: 2000-553391

XRPX Acc No: N92-219663

Active matrix type LCD device - includes N-channel FET of dual gate

structure for voltage supply NoAbstract

Patent Assignee: SHARP KK (SHAF)

Number of Countries: 001 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
JP 4195123	A	19920715	JP 90331340	A	19901128	199235	B
JP 3107312	B2	20001106	JP 90331340	A	19901128	200059	

Priority Applications (No Type Date): JP 90331340 A 19901128

Patent Details:

Patent No	Kind	Lat Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4195123	A	5	G02F-001/136	
------------	---	---	--------------	--

JP 3107312	B2	5	G02F-001/1368	Previous Publ. patent JP 4195123
------------	----	---	---------------	----------------------------------

Title Terms: ACTIVE; MATRIX; TYPE; LCD; DEVICE; N-CHANNEL; FET; DUAL; GATE;
STRUCTURE; VOLTAGE; SUPPLY; NOABSTRACT

Derwent Class: P81; P85; U14

International Patent Class (Main): G02F-001/136; G02F-001/1368

International Patent Class (Additional): G02F-001/133; G09G-003/36;

H01L-027/12; H01L-029/784; H01L-029/786

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03830023 **Image available**

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 04-195123 [JP 4195123 A]

PUBLISHED: July 15, 1992 (19920715)

INVENTOR(s): YAMASHITA TOSHIHIRO

MATSUSHIMA YASUHIRO

TAKATO YUTAKA

APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-331340 [JP 90331340]

FILED: November 28, 1990 (19901128)

INTL CLASS: [5] G02F-001/136; G02F-001/133; G09G-003/36; H01L-027/12;
H01L-029/784JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS – Optical Equipment); 42.2
(ELECTRONICS – Solid State Components); 44.9 (COMMUNICATION
– Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS –

Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1445, Vol. 16, No. 522, Pg. 140,
October 27, 1992 (19921027)

ABSTRACT

PURPOSE: To allow the sufficient supply of voltages from a scanning signal driving circuit to picture element TFTs and to improve a display grade by forming the N channel TFTs among the TFTs constituting the scanning signal driving circuit to a dual gate structure and executing counter driving.

CONSTITUTION: The N channel TFT among the TFTs of the CMOS logic part and buffer amplifier part constituting the scanning signal driving circuit 1 forms the structure in which two pieces are connected in series and a gate electrode is commonly used. In addition, the pulse voltage of a reverse polarity is impressed to the counter electrode of a display part 3 when the TFT of the display part 3 is on. The amplitude range of the voltage to be impressed to a liquid crystal is so regulated as to be larger than the amplitude range of the output voltage from a data signal driving circuit 2. The pulses of the sufficient voltage amplitude are outputted to a scanning signal line 5 in this way and the amplitude of the output voltage to the scanning signal line is diminished while the display grade is well maintained by executing the counter driving.

5/93/2

④日本国特許庁 (JP) ①特許出願公開
 ④公開特許公報 (A) 平4-195123

④Int.Cl.*

G 02 F 1/128
 1/128
 G 09 G 3/36
 H 01 L 21/12
 28/184

識別記号 500
 550
 A

序内整理番号
 9018-2K
 7834-2K
 7926-5C
 7514-4M

④公開 平成4年(1992)7月15日

9056-4M H 01 L 29/78 311 E
 審査請求 未請求 開示請求項の数 3 (全5頁)

④発明の名称 アクティブマトリクス液晶表示装置

④特許 平2-331340

④出願 平2(1990)11月23日

④発明者 山下 俊一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内
 ④発明者 松島 康浩 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内
 ④発明者 高華 裕 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
 内
 ④出願人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
 ④代理人 弁理士 井田勝 外2名

精 織 告

1. 発明の名称

アクティブマトリクス液晶表示装置

2. 特許請求の範囲

(1) 表示部 TFT と同一基板上に一体形成したポリシリコン TFT を用いた CMOS 開示部において、少なくとも金属信号遮断部を構成する CMOS 開示部及び遮断部構成部の TFT の内、N チャンネル TFT が 2 画面上に構成されかつゲート電極を共通とした構造から成り、かつ表示部の対向電極部に金属部の TFT が ON 状態の時、遮断部のパルス電圧を印加し、液晶に印加される電圧範囲がゲート信号遮断部からの出力電圧の範囲より大きいことを特徴とするアクティブマトリクス液晶表示装置。

(2) 前記金属信号遮断部を構成する遮断部及びデータ信号遮断部は表示部電極への出力レベルより高い電圧電圧で駆動し、表示部遮断部遮断部は遮断部からの出力を遮断部により遮断部の出力レベルに昇圧する回路を有する事を特

する特許請求範囲第 1 项記載のアクティブマト

リクス液晶表示装置。

(3) 表示部遮断部遮断部に有される昇圧回路を構成する N チャンネルの TFT が 2 画面上に構成されかつゲート電極を共通とした構造とすることを特徴とする特許請求範囲第 2 项記載のアクティブマトリクス液晶表示装置。

3. 発明の詳細な説明

【発明上の刊別分野】

本発明はアクティブマトリクス液晶表示装置に係わり、内蔵される表示部可駆動回路の構成に關するものである。

【従来の技術】

アクティブマトリクス液晶表示装置が小型化が進化される場合、表示部の TFT を形成すると同時に金属信号遮断部やデータ信号遮断部も同時に形成されなければならない。驱动回路を内蔵することの例は、驱动用 IC を外付け実装するよりもコスト化が図れること、及びパネルのシールサイズをより小量化できること、

特開平4-185123 (2)

等があげられる。これらの特徴を生かして1インチ程度の大きさの駆動回路を内蔵した液晶表示装置がビューファインダー等として扇に商品化されている。一般に内蔵される駆動回路は、NTSC方式の場合並列構成で16, 75MHz、データ側で16MHzで動作しなければならないので、駆動を構成しているTFTにはアモルファスシリコンより導電率が大きいポリシリコンが使用される。

第1回は駆動回路内蔵アクティブマトリクス液晶表示装置を示している。走査信号源と、データ信号源の発生にTFT4がある。素子源3は、このTFTがマトリクス状に配置されたTFT基板と対角電極基板とその2つの間に埋入された液晶とから成る。走査信号源は走査信号源源3と1に、データ信号源はアーケイド信号源源2に構成されている。これら片側駆動回路は消費電力が小さくできることからCMOS技術で構成されることが多い。第2回は、走査信号源駆動回路の構成の一例を示しており、CMOSアクティブマトリクスシリコンゲートとバッファ素子から成る。CM

OS回路の基本構成要素であるインバータ9のレイアウトパターンを第3回に示す。これはゲート電極9が1層であるシングルゲート構造のNチャンネルTFT31およびPチャンネルTFT32、GND第34及び電源線35から成っている。この両の液晶表示装置では、シフトレジスタを動作させる電源電圧と同じ電圧をもつパルスが印加し、走査信号源に印加されることにより走査信号源上の駆動TFT4とMON構造になり、データ信号源から伝達されてくるデータ電圧が陰極に蓄積され、その電圧で液晶の透過程を制御することにより表示がなされる。

【説明が解説しようとする範囲】

ポリシリコンTFTを用いた液晶表示装置で表示品位の高い画面を得るには、軽量TFTのゲート電圧に15V以上の十分なゲート電圧を印加する必要がある。ところが、一般にポリシリコンTFTの場合、NチャンネルTFTのソース・ドレイン部の耐圧は10V程度と低い。したがって内蔵駆動回路のNチャンネルTFTは耐圧特性で動作

させることになり実現した画面に対して信頼性が問題となる。

【問題を解消するための手段】

一般にポリシリコンTFTの場合、ゲート電圧が1層のシングルゲート構造よりもTFTが多層構造に軽量されかねないゲート電圧を失却した結果（以後、デュアルゲート構造と称す）の方がドレイン結合層での遮光が緩和されるので、ソース・ドレイン間の耐圧が大きい。そこで走査信号源駆動回路を構成するTFTの中ではNチャンネルTFTをデュアルゲート構造にする。あるいは、駆動回路を耐圧より低い電圧（例えば10V前後）で動作させ、走査信号源へ十分な電圧電圧のパルスを印加することが可能になり、かつ同時に動作を行うことで表示品位を良好に保ったまま、走査信号源への印加電圧の基準を小さくできる。

【とある】を行う。

【作用】

上記手段に上れば、耐圧が低いNチャンネルTFTをデュアルゲート構造にすることにより耐圧を大きくし、走査信号源へ十分な電圧電圧のパルスを印加することが可能になり、かつ同時に動作を行うことで表示品位を良好に保ったまま、走査信号源への印加電圧の基準を小さくできる。

【実施例】

本実施例の実施例について説明する。第3回のNチャンネルTFTをデュアルゲート構造にすることにより、走査信号源駆動回路の耐圧を向上し走査信号源に十分な耐圧をもつパルスを供給することができる。この場合、例えばインバータは第4回に示すようにゲート電圧43がデュアルゲート構造のNチャンネルTFT41とシングルゲート構造のPチャンネルTFT42とから成る。第4回は、走査信号源駆動回路の構成部は省略して示す。界

特開平4-195123 (3)

圧縮器で走査信号へは十分な電圧パルスを供給する電源部である。これは第2層の電極部のバッファの代わりに第2層の51を並げる。シフトレジスタは駆動より十分低い駆動電圧10V程度の電源電圧で動作させ、昇圧電圧により15V以上の電圧パルスとして走査信号側に印加する。したがってシフトレジスタ側のNチャンネルTFTは図3面に示すような通常のシングルゲート構造でもよい。この昇圧駆動51の一定走査信号部分の電極構成の一例が図3であり、53は高電圧側に接続されており、54がPチャンネルTFTで、55がNチャンネルTFTである。NチャンネルTFT 55をデュアルゲート構造しておくことにより、駆動に対する範囲は広がれる。さらに対向駆動を行えば、走査TFTのゲート電圧に印加する電圧を下げることができる。その対向駆動について第6面で説明する。走査電極部から電圧V_dの出力パルス61(3走査部分を表示している)が走査部に印加されている時、その走査部に印加されている走査TFTがON状態となる。その時、

データ信号電路部からデータ信号62が印加される。対向駆動をしない場合は走査には、対向電圧V_dとデータ信号電圧との差である±V_dが印加される。一方、対向駆動の場合、63に示すように走査TFTがON状態の時、対向電圧に走査側のパルス電圧V_d±V_dを印加することにより、走査には±V_dに示すように±(V_d±V_d)の電圧が印加される。したがって対向駆動において、対向駆動をしない場合と同じ表示特性を得つ、すなわち走査に印加される電圧を軽くするとしたらデータ信号電路部から出力するデータ信号の電圧V_dだけ低くできる。この時、データ信号の走査への書き込み特性を犠牲なく走査信号の電圧V_dをV_dだけ下げることができる。すなわち表示品位を画面に保ったまま走査信号電路部の動作電源電圧を下げることができる。また別の見方をすれば、対向駆動においては、対向駆動をしない時と同じ電圧の走査信号で書き込みを行えば表示品位を向上することもできる。

【発明の図版】

以上説明したように本発明によれば、走査信号電路部から走査TFTに十分な電圧を供給でき、表示品位の向上を可能とする。

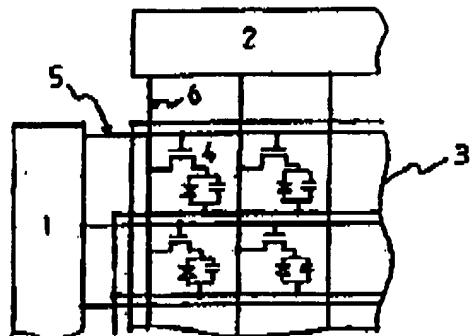
4. 装置の簡単な説明

第1図は、駆動電極内部アティマトリクス表示装置である。第2図は、走査信号電路部の構成図である。第3図は、シングルゲート構造のインバーターであり、第4図は、デュアルゲート構造のインバーターである。第5図は、昇圧駆動を含む走査信号電路部である。第6図は、対向駆動のパルス印加部である。

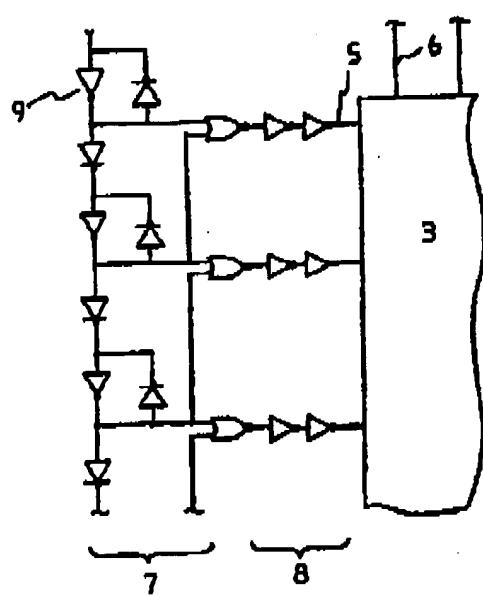
1…走査信号電路部、2…データ信号電路部、3…表示部、4…走査TFT、5…走査信号線、6…データ信号線、7…シフトレジスタ、8…バッファ、9…インバーター、41…デュアルゲート構造のNチャンネルTFT、51、52…昇圧駆動、61…走査信号パルス、63…対向駆動時の対向電圧、64…対向駆動時の走査に印加される電圧。

代理人弁理士鶴田勝(第2名)

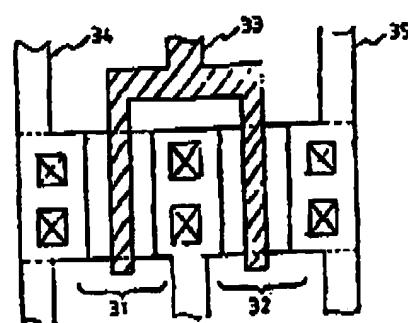
第1図



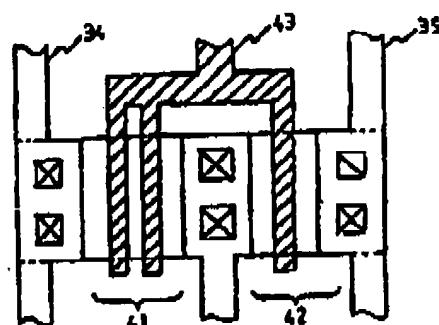
第2図



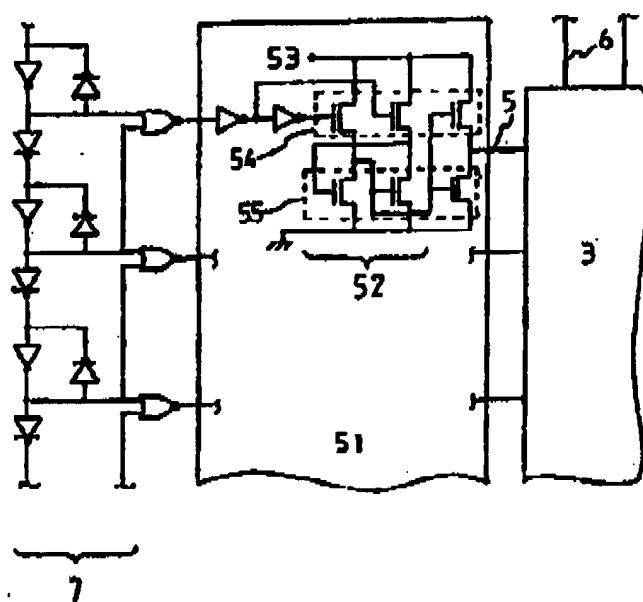
第3図



第4図



第5図



特許平4-195123 (5)

圖6圖

